

ПРОДУКТЫ КОМПАНИИ ALDEC ДЛЯ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ

Юрий Потапов, технический директор ЗАО «Электрейд-М»

В статье описываются возможности двух популярных продуктов компании Aldec Active-HDL и Riviera, предназначенных для проектирования цифровых логических устройств.

Функциональная верификация давно является одним из основных и самых трудоемких этапов проектирования ползуказных интегральных схем (ASIC), в котором ошибки проектирования не допускаются и необходимо сразу делать все правильно. Это в корне отличает ASIC от ПЛИС, поскольку программирование ПЛИС выполняется самими пользователями и ничего не стоит в любой момент ее перепрограммировать. Так что принцип «всегда можно все исправить» лежит в основе всего подхода к проектированию ПЛИС. Поэтому, несмотря на сходство решаемых задач, при проектировании ПЛИС и ASIC на функциональном уровне используются различные подходы. Для ASIC во главу угла ставится логическая и временная верификация проекта, строгое соответствие стандартам и скорость моделирования. Для ПЛИС на первом месте стоят удобство разработки и отладки проектов, а также низкая стоимость средств проектирования. Различаются также цели на данном этапе проектирования. Для ASIC целью является создание качественного верифицированного кода на уровне регистровых передач (RTL), с которого будет производиться синтез в элементный базис производителя. При проектировании ПЛИС целью является выполнение самого проекта ПЛИС, поэтому функциональные спецификации зачастую содержат также схемы в элементном базисе выбранного производителя ПЛИС. К сожалению, при этом описания на языках VHDL или Verilog имеют плохой стиль и низкую дисциплину кодирования.

Рост степени интеграции ПЛИС предъявляет новые требования к средствам функциональной верификации проектов на этапе их разработки. Эти проекты должны обеспечивать единую, технологически независимую среду проектирования для любого метода реализации и производителя ПЛИС, соблюдение существующих стандартов VHDL, Verilog, EDIF и поддержку системного уровня проек-

тирования на уровне таких языков, как C/C++ и SystemC. Действительно, методология проектирования «система на кристалле», появившаяся несколько лет назад применительно к ASIC, сейчас находит свое применение и при проектировании ПЛИС. Это означает широкое применение в новых проектах как собственных наработок или ранее сделанных функциональных блоков в своей прикладной области, так и IP-блоков как третьих фирм. Эти требования также диктуются необходимостью учета на этапе разработки различных вариантов исполнения (в виде ASIC, структурных ASIC, их прототипов на ПЛИС или ПЛИС разных производителей) с возможностью миграции проектов между этими технологиями. Если говорить о системах проектирования, поставляемых производителями ПЛИС, то они в целом не обеспечивают должного соблюдения стандартов и «привязывают» пользователя к своей элементной базе и библиотекам IP-блоков.

Наиболее популярными системами моделирования являются системы компаний Aldec, Cadence, Mentor Graphics и Synopsys. Если системы компаний Cadence и Synopsys в основном используются в маршрутах проектирования ASIC, то системы моделирования Active-HDL и Riviera компании Aldec и ModelSim компании Mentor Graphics также имеют полную поддержку для всех производителей ПЛИС. По результатам опроса читателей журнала «FPGA Journal», система Active-HDL признана лучшей по соотношению цена — качество. САПР Active-HDL обеспечивает единую интегрированную среду проектирования и моделирования для ПЛИС любых производителей. Он содержит средства групповой разработки, управления проектами и библиотеками, кросс-отладки и анализа тестового покрытия, текстовые и графические редакторы, а вместе с системой Riviera, включающей в себя ряд специальных средств для верификации ASIC, предоставляет единую среду проектирования для

всех возможных способов реализации проектов.

В конце 2004 года компания Aldec (www.aldec.com) обновила свою линейку продуктов для проектирования цифровых устройств Active-HDL и Riviera. Помимо этого, был сделан ряд шагов, направленных на дальнейшее развитие методологии проектирования FPGA устройств. Например, совместно с компанией Magma Design Automation (www.magma-da.com), являющейся поставщиком решений для проектирования кристаллов, был разработан интерфейс, позволяющий интегрировать потоки проектирования продуктов Active-HDL 6.3 и PALACE v2.4. Интеграция этих двух продуктов обеспечивает автоматический обмен данными на уровне схематехнического описания, верификацию смешанных VHDL и Verilog описаний и физический синтез для проектов на базе устройств Actel, Altera and Xilinx.

Интерфейс между программами разработан таким образом, что позволяет пакеты Aldec Active-HDL использовать функциональность программы PALACE для физического синтеза FPGA проектов. При соответствующей настройке опций в оболочке Active-HDL появляются дополнительные органы управления, контролируемые процесс физического синтеза, выполняемого продуктом PALACE. Продукт PALACE фокусируется на оптимизации синтезированного списка соединений и его реализации для конкретной архитектуры, а Active-HDL обеспечивает пользователя средствами ввода проекта, смешанного HDL моделирования и отладки. При наличии специализированных промышленных или ориентированных на производителя средств FPGA синтеза такая комбинация продуктов обеспечивает сквозной цикл проектирования для получения высококачественных результатов.

Система проектирования Active-HDL 6.3 является на сегодня ведущей средой проектирования для создания и моделирования проектов при использовании всех семейств программируемых интегральных схем ПЛИС. Это обеспечивает гибкость подхода и предоставляет развитые

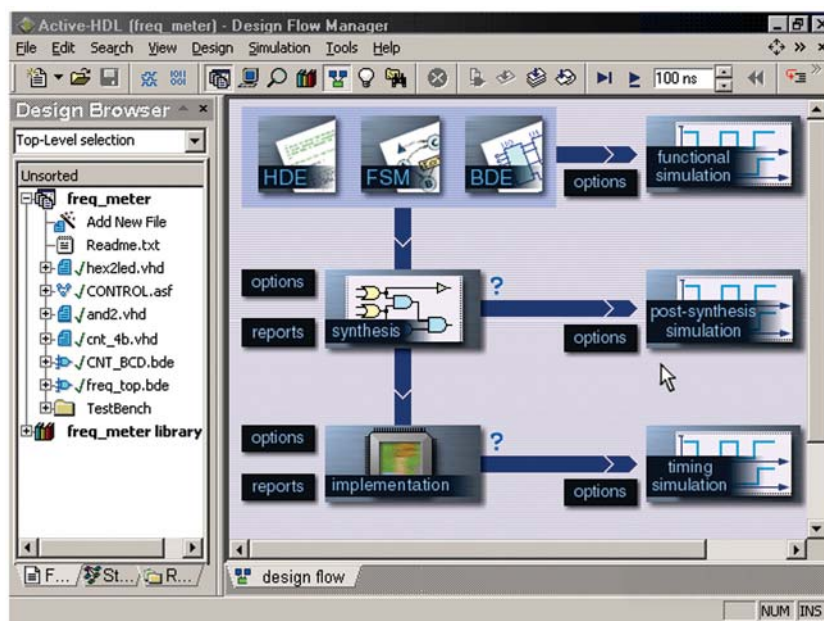


Рис. 1. Модуль управления маршрутом проектирования Active-HDL

функции поддержки наиболее сложным современным проектам. Среда проектирования Active-HDL дает разработчикам независимость в использовании других средств проектирования из единого, полностью интегрированного окружения. Тесная интеграция всех приложений обеспечивает абсолютный контроль над проектом на всем пути — от спецификации до его физической реализации. Программа Active-HDL также имеет интерфейсы со всеми ведущими программными продуктами и предоставляет разработчикам свободу в использовании тех средств проектирования, которые наиболее полно отвечают требованиям каждого конкретного проекта.

Система Active-HDL структурно построена вокруг своего блока управления маршрутом проектирования, который позволяет пользователям легко получать доступ к используемым средствам проектирования и библиотекам (см. рис. 1). Программа поставляется с обширным набором библиотек ведущих производителей ПЛИС, включающих прекомпилированные и готовые к использованию компоненты. Блок управления проектом Active-HDL позволяет разработчику выполнять все модификации и операции над проектом из единого окружения; что обеспечивает лучший контроль над процессом проектирования и сокращает время, устраняя необходимость в запуске множества оконных интерфейсов и процессов.

Маршрут проектирования компании Aldec не зависит от производителя ПЛИС и настраивается на любые комбинации средств логического синтеза

и топологической реализации ПЛИС. Разработчик цифровых систем может делать проекты на ПЛИС любого производителя на рынке из единой интегрированной среды.

Разработчики могут одновременно открывать несколько проектов и интегрировать их в один суперпроект. Мультипроектная рабочая область предоставляет среду проектирования, позволяющую пользователям управлять всеми загруженными проектами, переключаться между ними, редактировать их ресурсы и конфигурировать их независимо друг от друга. Все модули могут разрабатываться отдельно друг от друга и затем интегрироваться вместе, как один проект верхнего уровня.

Увеличение размеров проектов вынуждает многих разработчиков ПЛИС использовать методы групповой разработки при проектировании. Программа Active-HDL предоставляет средства повышения производительности, например такие, как модуль управления заданиями для задач, занимающих большое время выполнения, таких как моделирование, логический синтез и топологическая реализация. Каждая задача может быть назначена на удаленный сервер или кластер других компьютеров для выполнения соответствующего задания, что высвобождает компьютер разработчика для других целей. Система Active-HDL также предоставляет интерфейс более чем для 15-ти наиболее популярных систем управления версиями (RCS).

Система управления проектами обеспечивает быстрое и эффективное управление всеми ресурсами проек-

тов. Разработчики могут использовать ее для:

- добавления, удаления, просмотра, модификации или выполнения других операций над файлами ресурсов проекта;
- просмотра содержимого рабочей библиотеки, библиотеки результатов логического синтеза и библиотеки временных параметров текущего проекта;
- просмотра сконструированной структуры моделируемого проектного модуля;
- просмотра объектов, определенных внутри отдельных областей моделируемого проектного модуля.

Система управления библиотеками предоставляет эффективное управление всеми библиотеками в среде проектирования Active-HDL. Пользователи могут выполнять следующие операции над библиотеками и их содержимым:

- присоединение, отсоединение и удаление библиотек;
- редактирование логических имен библиотек;
- сжатие и освобождение библиотек;
- просмотр содержимого библиотек;
- просмотр исходных файлов определенных библиотечных модулей;
- удаление определенных библиотечных модулей;
- поиск проектных модулей в библиотеках.

Разработчики цифровых систем имеют доступ к наиболее полно протестированным и проверенным в промышленности IP-блокам. Они могут использовать встроенный генератор IP-блоков для создания требуемых моделей, таких как арифметические функции, последовательная логика, блоки памяти, фильтры, конвертеры кодов, элементы для построения тестов, промышленные приложения, коммуникационные приложения.

Трассировка всех сигналов позволяет разработчикам выполнять кросс-отладку (зондирование) между временными диаграммами и блок-диаграммами. Такая трассировка позволяет сделать обратную аннотацию проекта и дает прямой доступ, как к текстовому, так и графическому представлению проекта. Щелчок мышью на любом сообщении об ошибке или предупреждающем сообщении адресует разработчика непосредственно на соответствующую строку исходного кода.

Средства анализа тестового покрытия идентифицируют те части проекта, которые не исполнялись во время прогона теста. Они дают возможность инженеру легко определить, какие части теста требуют доработки. Все

средства интегрированы в ядро моделирования и поддерживают функции покрытия по строкам кода, по переключениям и интегральное покрытие на множестве тестов.

Система Active-HDL предоставляет интерфейс и возможность совместного моделирования поведенческих моделей на языках описания аппаратуры и блоков цифровой обработки сигналов в единой среде математического представления моделей высокого уровня. Прямой интерфейс с системой Simulink компании Mathworks автоматизирует процесс установки для выполнения совместного моделирования с Active-HDL.

Проекты, сделанные в среде Active-HDL, могут быть экспортированы во внешний файл формата HTML. Такой файл HTML поддерживает ту же самую структуру и иерархию проекта, что и Active-HDL, но без необходимости работы с самой системой моделирования. В итоге, проекты могут без труда разделяться среди членов рабочей группы и являются идеальными для документирования.

Функция Code2Graphics может генерировать графическое представление проектов, сделанных на языках VHDL или Verilog (см. рис. 2). Эта функция дает разработчикам систем ясную картину взаимосвязей между компонентами, используемыми в проекте. Она анализирует исходные файлы на языках VHDL, Verilog или в формате EDIF, и генерирует один или более файлов блок-диаграмм, в зависимости от количества проектных объектов, модулей или элементов, найденных в анализируемых файлах. Результирующие графические файлы (блок-диаграммы или диаграммы автоматов конечных состояний) могут быть автоматически присоединены к проекту или размещены отдельно.

Система Active-HDL может использоваться для автоматической генерации тестов из графических временных диаграмм или диаграмм автоматов конечных состояний (см. рис. 3). Генератор тестов руководит последовательностью действий инженера в диалоговом режиме и создает шаблон теста либо для отдельного процесса, либо на основе IEEE Waves. Один и тот же тест может использоваться на любом уровне абстракций в процессе проектирования (поведенческом, регистровых передач или временном).

Проектные блоки, занимающие большое время моделирования, могут быть легко определены с помощью функции профилирования проекта.

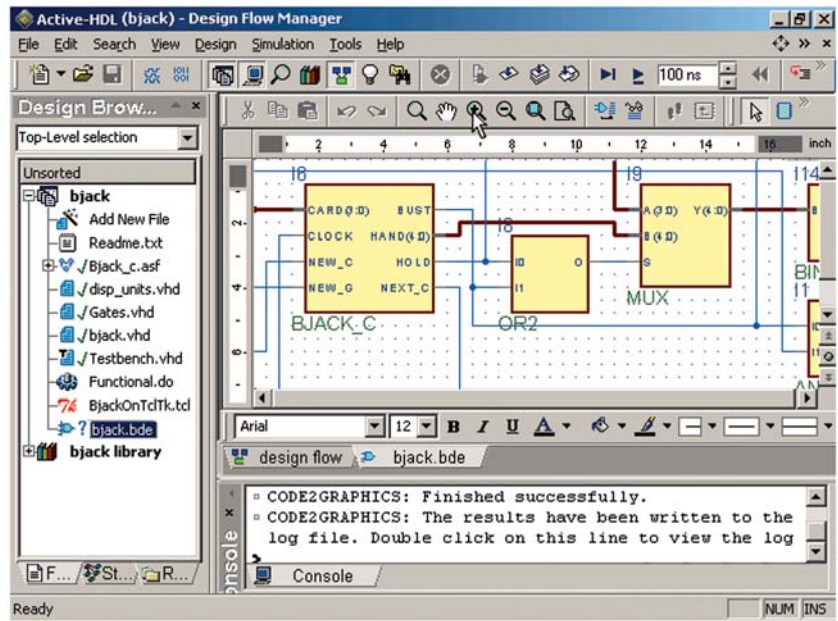


Рис. 2. Генерация графического представления проекта по описанию на языках VHDL или Verilog

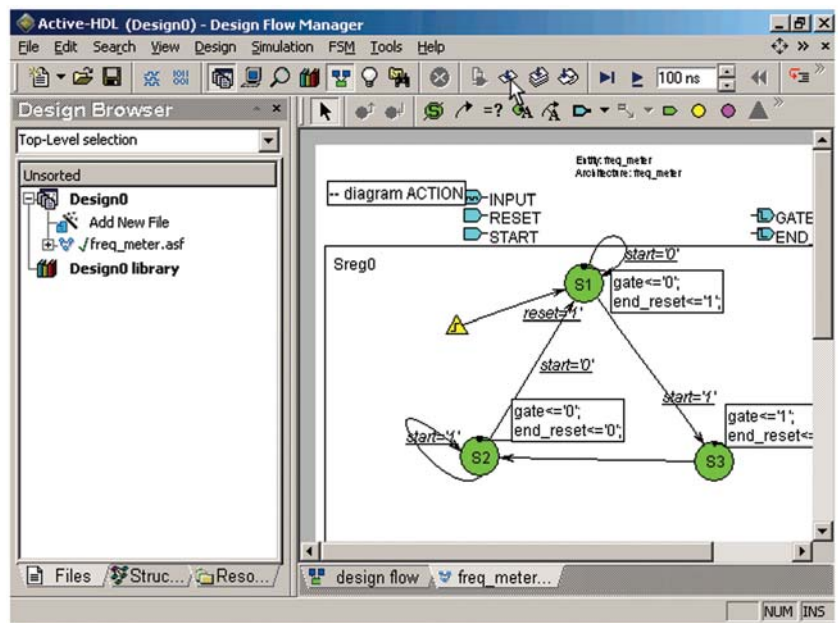


Рис. 3. Описание устройства на языке конечных автоматов

За счет идентификации этих блоков и оптимизации тех частей проекта, которые увеличивают время моделирования, общее время моделирования проекта может быть существенно уменьшено. Моделирование может быть очень неэффективным без возможности увидеть характеристики проекта и установить деградацию моделирования.

Система Active-HDL полностью совместима с системой моделирования Riviera компании Aldec. Использование системы Riviera дает возможность Active-HDL производить моделирование в среде много-

машинных серверных систем и на других поддерживаемых платформах операционных систем, включая Linux и Unix.

Система моделирования Riviera является последним решением для высокопроизводительной верификации проектов интегральных схем. Применение подхода «лучший в своем классе» дало наиболее гибкую платформу для VDH, Verilog и смешанного моделирования. Система Riviera идеально подходит для отладки проектов на уровне регистровых передач, длительного регрессивного тестирования, временного моделирования,

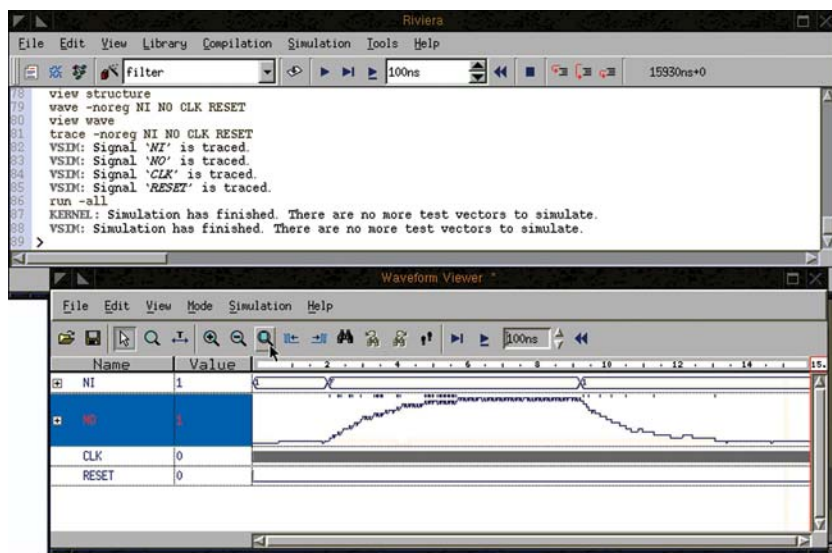


Рис. 4. Просмотр результатов моделирования в программе Riviera

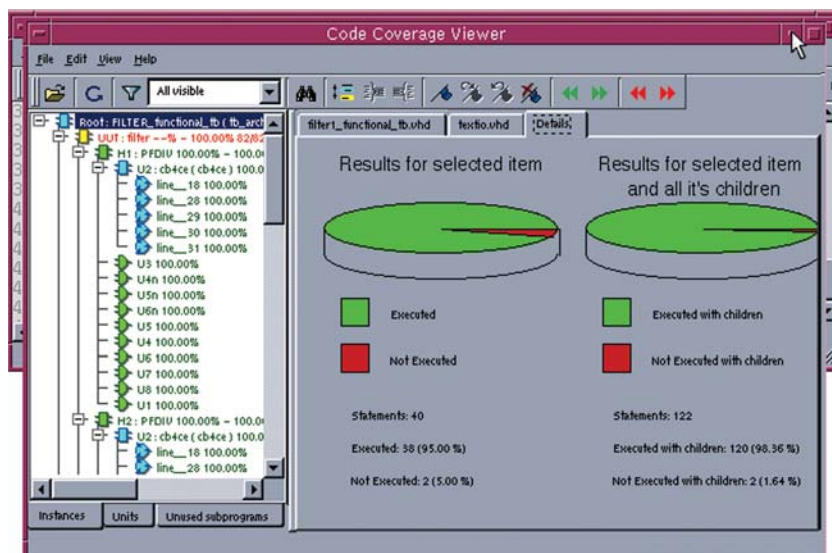


Рис. 5. Анализ тестового покрытия в программе Riviera

методологий групповой разработки и включает в себя непосредственную связь с аппаратным ускорителем посредством Riviera-IPT.

Система Riviera поддерживает разработку наиболее сложных проектов интегральных схем, состоящих из проектных блоков на языках VHDL, Verilog, C/C++, SystemC и списков цепей в формате EDIF, обеспечивая их полную интеграцию на основе общего ядра моделирования.

Новые методы проектирования продолжают вести к сокращению времени верификации. Система Riviera включает в себя возможность совместного моделирования тестов и проектных модулей C/C++ и SystemC вместе с модулями VHDL и Verilog. Система моделирования непосредственно соединяется с компилятором C, а комбинированные результаты моделирования

могут просматриваться в редакторе временных диаграмм.

Система Riviera может быть сконфигурирована для оптимизации моделирования и повышения производительности как в графическом, так и в фоновом режиме моделирования. Средства управления производительностью включают в себя:

- оптимизированный режим — компиляция и моделирование проектов на языке Verilog и смешанных VHDL/Verilog проектов вместе с тестами;
- управление разбросом памяти — распределение под проект только памяти, требуемой в процессе верификации;
- управление выключенными блоками — маскирование блоков проекта, которые не контролируются во время моделирования.

Использование верификации на основе утверждений является ценным дополнением в процессе проектирования, интеграции, моделирования системы и передачи проекта на изготовление, обеспечивая лучшее (внутреннее) понимание функционирования проекта. Утверждения ускоряют процесс отладки, сокращая количество итераций верификации, улучшают возможности повторного использования проекта и передачи его контрагентам, и могут также использоваться в аппаратном ускорителе (Riviera-IPT). Поддержка стандартов верификации на основе утверждений включает в себя утверждения OpenVera (OVA), язык определенных свойств (PSL), библиотеки открытой верификации (OVL).

Редактор временных диаграмм использует несколько методов компрессии для обработки большого объема данных моделирования и ускорения визуализации временных диаграмм. Помимо высокой производительности, редактор также включает в себя несколько функций, которые упрощают верификацию проектов, позволяя производить более быстрое и точное редактирование и анализ результатов моделирования (см. рис. 4). Функции редактирования включают в себя возможность модификации значений и цепей, которые затем могут быть применены к последующим прогонам моделирования.

Дополнительные функции включают в себя поддержку простого и расширенного форматов VCD, показ источников событий, сравнение временных диаграмм, управление программой моделирования, просмотр списков (.lst).

Система моделирования Riviera включает в себя интерфейсы PLI, VPI и VHPI, которые являются стандартами IEEE, для связи с другими средствами верификации в маршруте проектирования. В дополнение к стандартным интерфейсам, Riviera также включает в себя оптимизированную интеграцию с отдельными средствами проектирования стратегических партнеров компании Aldec.

Система Riviera совместима со всеми методологиями управления загрузкой многомашинных серверных систем, конфигурируемых для операционных систем UNIX, Linux или NT. Проекты могут быть перегружены для моделирования с локальной рабочей станции или персонального компьютера в централизованное место, высвобождая локальный компьютер для работы с другими частями проекта.

Система Riviera предоставляет средства компрессии и кодирования исходных кодов на языках VHDL и Verilog для безопасной упаковки и обмена проектными модулями между членами рабочей группы локально или по сети.

Анализ тестового покрытия обычно дает большую нагрузку на системы моделирования и замедляет сам процесс моделирования. Поскольку эта функция встроена непосредственно в систему Riviera, связанные с этим накладные расходы значительно сокращаются (см. рис. 5). Тестовое покрытие в системе Riviera включает в себя:

- покрытие по строкам кода (по модулю/экземпляру модуля);
- покрытие по переключениям;
- покрытие по ветвлению;
- интегральное покрытие на множестве тестов (слияние);
- графическая визуализация тестового покрытия.

Проектные блоки, занимающие большое время моделирования, могут быть легко определены с помощью функции профилирования проекта. За счет идентификации этих блоков

и оптимизации тех частей проекта, которые увеличивают время моделирования, общее время моделирования проекта может быть существенно уменьшено. Моделирование может быть очень неэффективным без возможности увидеть характеристики проекта и установить деградацию моделирования.

Текстовый редактор языков описания аппаратуры высокого уровня интегрирован с компилятором и ядром моделирования для облегчения отладки, позволяя делать установку точек останова и быструю локализацию ошибок компиляции.

Система Riviera может быть расширена дополнительным патентованным аппаратным ускорителем Riviera-IPT, который обеспечивает большую скорость и эффективность моделирования за счет соединения вместе многих различных элементов проектирования и верификации в единую ускорительную платформу системного уровня. Эта платформа соединяет в себе программное моделирование для смешанных описаний VHDL, Verilog, утверждений, совместное моделирование с кодом C/C++, SystemC и

аппаратное ускорение, все оптимизированные и включенные в архитектуру общего ядра.

Традиционные методологии моделирования требуют от пользователя повторного моделирования ранее проверенных блоков с добавлением каждого нового блока или с каждой новой итерацией проекта, делая процесс верификации медленным и неэффективным. Однако, так как технология дифференциального создания прототипа (Incremental Prototyping Technology, IPT) предусматривает вывод всех проверенных блоков в аппаратуру, Riviera-IPT программно моделирует только вновь добавляемые блоки, существенно ускоряя процесс моделирования.

Программное обеспечение Aldec поддерживает следующие стандарты: VHDL 1076-87/93, Verilog 1364-95/2001 (частично), VITAL 1076.4-95/2000, SDF 1.0, 2.0 и 3.0.

Любую дополнительную информацию о продуктах компании Aldec можно получить в офисе компании Электрейд-М по телефону (095) 974-14-80 или адресу info@eltm.ru.