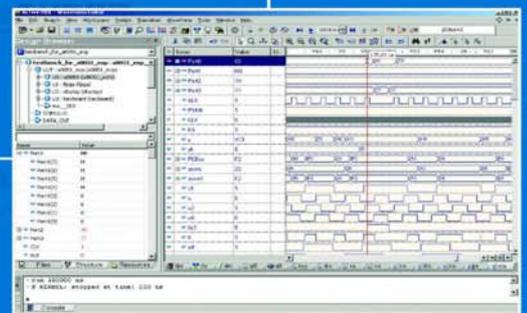
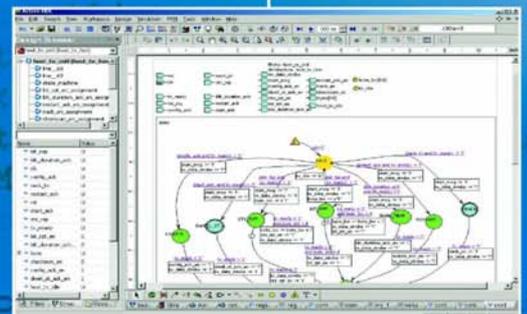
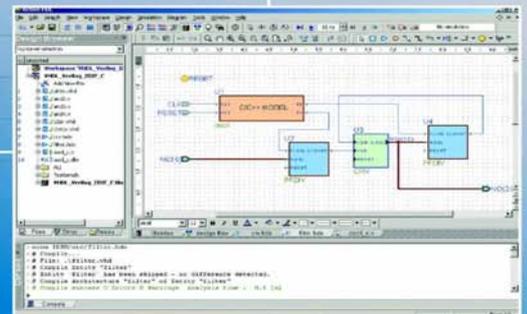


## COMPLETE HDL DESIGN ENTRY AND VERIFICATION

# Active-HDL™

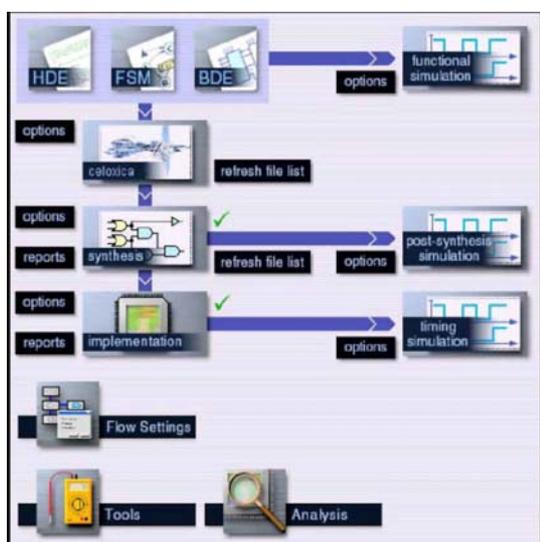
- Mixed VHDL, Verilog and EDIF Simulation
- Co-Simulation Interface
- Multi-Vendor FPGA Flow
- Advanced Debugging
- IEEE VHDL 1076-87/93 Compliance
- IEEE Verilog 1364-95/2001 Compliance



YOUR ROAD TO HIGHER PRODUCTIVITY

Система проектирования Active-HDL является сегодня ведущей средой проектирования для создания проектов и их моделирования для всех семейств программируемых интегральных схем ПЛИС, обеспечивая гибкость подхода и предоставляя развитые функции поддержки наиболее сложных современных проектов. Среда проектирования Active-HDL дает разработчикам независимость в использовании других средств проектирования из единого, полностью интегрированного окружения. Тесная интеграция всех приложений обеспечивает абсолютный контроль над проектом от спецификации на всем пути к его физической реализации. Active-HDL также имеет интерфейсы со всеми ведущими программными продуктами, предоставляя разработчикам свободу в использовании тех средств проектирования, которые наиболее полно отвечают требованиям каждого конкретного проекта.

Система Active-HDL структурно построена вокруг своего блока управления маршрутом проектирования, который позволяет пользователям легко получать доступ к средствам проектирования и библиотекам, которые они используют в проекте. Active-HDL также поставляется со всеми библиотеками производителей ПЛИС, которые уже прекомпилированы и готовы к использованию в проектах. Блок управления проектом Active-HDL позволяет разработчику выполнять все модификации и операции над проектом из единого окружения; такая интеграция дает лучший контроль над процессом проектирования и сберегает время, устраняя необходимость в запуске множества оконных интерфейсов и процессов.



### РАСШИРЕННЫЙ МАРШРУТ ПРОЕКТИРОВАНИЯ

Маршрут проектирования компании Aldec не зависит от производителя ПЛИС и настраивается на любые комбинации средств логического синтеза и топологической реализации ПЛИС. Разработчик цифровых систем может делать проекты на ПЛИС любого производителя на рынке из единой интегрированной среды.

### РАБОЧАЯ СРЕДА ПРОЕКТИРОВАНИЯ

Разработчики могут одновременно открывать несколько проектов и интегрировать их в один супер-проект. Мульти-проектная рабочая область предоставляет среду проектирования, позволяющую пользователям управлять всеми загруженными проектами, переключаться между ними, редактировать их ресурсы и конфигурировать их независимо друг от друга. Все модули могут разрабатываться отдельно друг от друга и затем

интегрироваться вместе как один проект верхнего уровня.

### ГРУППОВАЯ РАЗРАБОТКА

Увеличение размеров проектов вынуждает многих разработчиков ПЛИС использовать методы групповой разработки при проектировании. Active-HDL предоставляет средства повышения производительности, например такие, как средство управления заданиями для задач, занимающих большое время выполнения, таких как моделирование, логических синтезов и топологическая реализация. Каждая задача может быть назначена на удаленный сервер или кластер других компьютеров для выполнения соответствующего задания, таким образом высвобождая компьютер разработчика для выполнения других задач. Система Active-HDL также предоставляет интерфейс к более чем 15 наиболее популярным системам управления версиями (RCS).

### УПРАВЛЕНИЕ ПРОЕКТОМ

Система управления проектами обеспечивает быстрое и эффективное управление всеми ресурсами проектов. Разработчики могут использовать ее для:

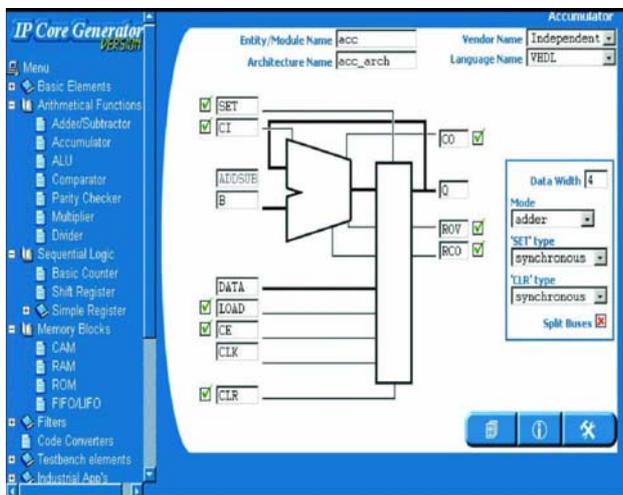
- Добавления, удаления, просмотра, модификации или выполнения других операций над файлами ресурсов проекта
- Просмотра содержимого рабочей библиотеки, библиотеки результатов логического синтеза и библиотеки временных параметров текущего проекта

- Просмотра сконструированной структуры моделируемого проектного модуля
- Просмотра объектов, определенных внутри отдельных областей моделируемого проектного модуля

## УПРАВЛЕНИЕ БИБЛИОТЕКАМИ

Система управления библиотеками предоставляет эффективное управление всеми библиотеками в среде проектирования Active-HDL. Пользователи могут выполнять следующие операции над библиотеками и их содержимым:

- Присоединение, отсоединение и удаление библиотек
- Редактирование логических имен библиотек
- Сжатие и освобождение библиотек
- Просмотр содержимого библиотек
- Просмотр исходных файлов определенных библиотечных модулей
- Удаление определенных библиотечных модулей
- Поиск проектных модулей в библиотеках



## ГЕНЕРАТОР БЛОКОВ

Разработчики цифровых систем имеют доступ к наиболее полно протестированному и проверенным IP-блокам в промышленности. Они могут использовать генератор IP-блоков для создания требуемых моделей, таких как:

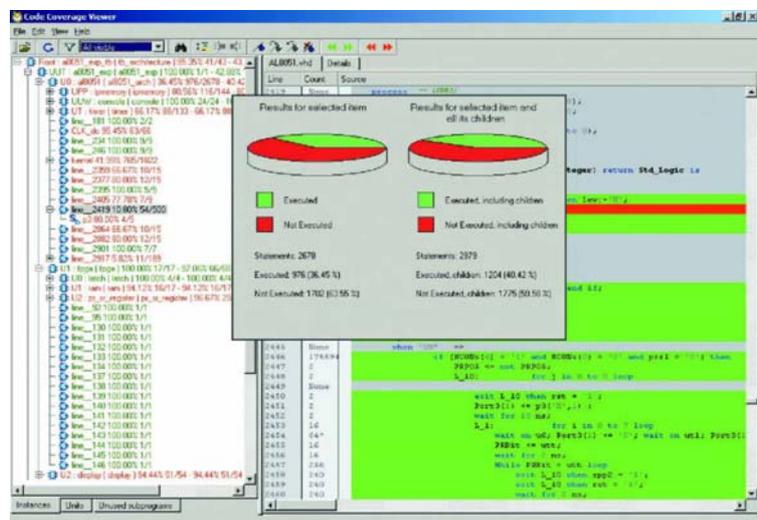
- Арифметические функции
- Последовательная логика
- Блоки памяти
- Фильтры
- Конверторы кодов
- Элементы для построения тестов
- Промышленные приложения
- Коммуникационные приложения

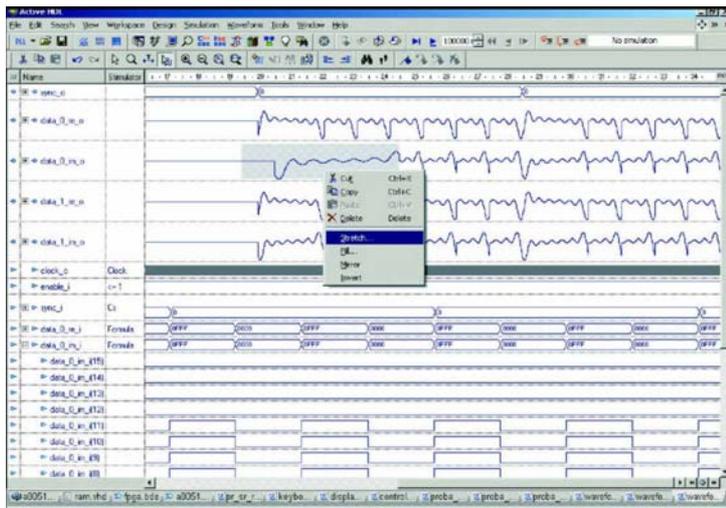
## КРОСС ОТЛАДКА

Трассировка всех сигналов позволяет разработчикам выполнять кросс-отладку (зондирование) между временными диаграммами и блок-диаграммами. Такая трассировка позволяет сделать обратную аннотацию проекта и дает прямой доступ как к текстовому, так и графическому представлению проекта. Щелчок мышью на любом сообщении об ошибке или предупреждающем сообщении адресует разработчика непосредственно на соответствующую строку исходного кода.

## ТЕСТОВОЕ ПОКРЫТИЕ

Идентифицирует те части проекта, которые не исполнялись во время прогона теста. Это средство дает возможность инженеру легко определить, какие части теста требуют доработки. Средства анализа тестового покрытия компании Aldec интегрированы в ядро моделирования и поддерживают функции покрытия по строкам кода, по переключениям и интегральное покрытие на множестве тестов.





## ПОДДЕРЖКА СОВМЕСТНОГО МОДЕЛИРОВАНИЯ

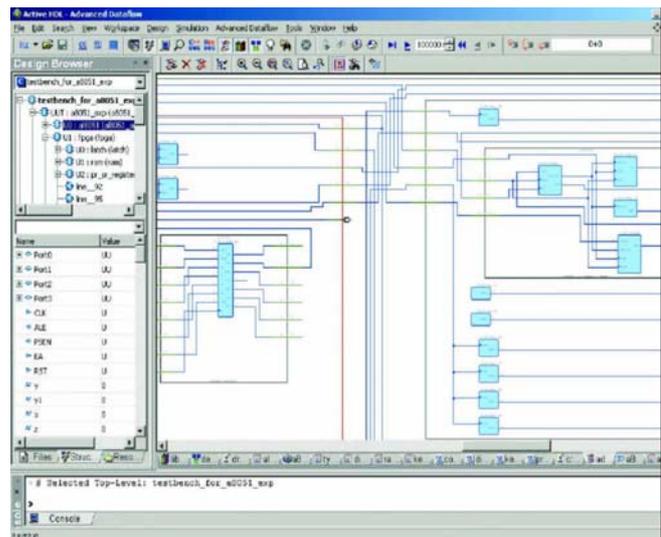
Система Active-HDL предоставляет интерфейс и возможность совместного моделирования поведенческих моделей на языках описания аппаратуры и блоков цифровой обработки сигналов в единой среде математического представления моделей высокого уровня. Прямой интерфейс с системой Simulink компании Mathworks автоматизирует процесс установки для выполнения совместного моделирования с Active-HDL.

## ЭКСПОРТ В ФОРМАТ HTML

Проекты, сделанные в среде Active-HDL, могут быть экспортированы во внешний файл формата HTML. Такой файл HTML поддерживает ту же самую структуру и иерархию проекта, что и Active-HDL, без необходимости работы с самой системой моделирования. Проекты могут разделяться среди членов рабочей группы и идеальны для документирования.

## ПРЕОБРАЗОВАНИЕ КОДА В ГРАФИКУ

Функция Code2Graphics может генерировать графическое представление проектов, сделанных на языках VHDL или Verilog. Эта функция дает разработчикам систем ясную картину взаимосвязей между компонентами, используемыми в проекте. Она анализирует исходные файлы на языках VHDL, Verilog или в формате EDIF, и генерирует один или более файлов блок-диаграмм, в зависимости от количества проектных объектов, модулей или элементов, найденных в анализируемых файлах. Результирующие графические файлы (блок-диаграммы или диаграммы автоматов конечных состояний) могут быть автоматически присоединены к проекту или размещены отдельно.



## АВТОМАТИЧЕСКАЯ ГЕНЕРАЦИЯ ТЕСТОВ

Система Active-HDL может использоваться для автоматической генерации тестов из графических временных диаграмм или диаграмм автоматов конечных состояний. Генератор тестов руководит последовательностью действий инженера в диалоговом режиме и создает шаблон теста либо для отдельного процесса, либо на основе IEEE Waves. Один и тот же тест может использоваться на любом уровне абстракций в процессе проектирования (поведенческом, регистровых передач или временном).

## ПРОФИЛИРОВАНИЕ ПРОЕКТА

Проектные блоки, занимающие большое время моделирования, могут быть легко определены с помощью функции профилирования проекта. За счет идентификации этих блоков и оптимизации тех частей проекта, которые увеличивают время моделирования, общее время моделирования проекта может быть существенно уменьшено. Моделирование может быть очень неэффективным без возможности увидеть характеристики проекта и установить деградацию моделирования.

## СОВМЕСТИМОСТЬ С ПЛАТФОРМАМИ LINUX И UNIX

Система Active-HDL полностью совместима с мультиплатформенной системой моделирования Riviera компании Aldec. Использование системы Riviera дает возможность Active-HDL производить моделирование в среде многомашинных серверных систем и на других поддерживаемых платформах операционных систем, включая Linux и Unix.

## ТЕХНИЧЕСКАЯ ПОДДЕРЖКА

Компания Aldec предоставляет наивысший уровень сопровождения пользователей в промышленности. Годовая поддержка включает в себя неограниченную техническую поддержку по всему миру, ежеквартальные поставки новых версий программного продукта и его обновлений, подписку на наш информационный бюллетень и конференции, включая доступ в режиме онлайн к нашей библиотеке технической поддержки.

### РАСШИРЕННЫЕ СРЕДСТВА ОТЛАДКИ

#### ПРОГРЕССИВНЫЙ ПОТОК ДАННЫХ

Просмотр и отладка проекта в графическом виде и исследование физической связанности в виде блок-диаграмм как для VHDL, так и для Verilog описаний. Окно отладчика показывает межсоединения в активном проекте в иерархическом или плоском режимах во время моделирования.

#### ПРОСМОТР СОСТОЯНИЙ ПАМЯТИ

Показывает содержимое памяти, определенных в проекте, как для VHDL, так и для Verilog описаний. Запоминаемые значения могут наблюдаться во время моделирования в окне графической визуализации памяти.

#### ПРОВОДНИК СИГНАЛОВ (Только для VHDL)

Контролирует и запускает сигналы из любого блока VHDL. При этом не требуется, чтобы сигналы были разведены через интерфейсы или объявлены в глобальных пакетах. Это особенно полезно при разработке тестов и верификации проектов.

#### X-ТРАССИРОВКА

Трассировка и просмотр событий, которые вызывают неожиданные выходные значения во время моделирования. Обращение к X-трассировке выполняется через окно анализа потока данных в соединении с редактором временных диаграмм. Использование X-трассировки существенно сокращает общее время отладки.

#### ОТЛАДКА ПОСЛЕ МОДЕЛИРОВАНИЯ

Для задач, требующих большого времени выполнения, полная история всех сигналов сохраняется в файле и может быть просмотрена и отлажена позже. Получаемый после моделирования файл дает возможность разработчикам прокручивать проект во времени вперед и назад для поиска определенных областей, которые требуют дополнительного анализа.

## СИСТЕМНЫЕ ТРЕБОВАНИЯ

- 256 Мбайт физической памяти, рекомендуется 512 Мбайт
- Операционные системы Microsoft Windows NT/2000/XP
- 198 Мбайт свободного дискового пространства

## ПОДДЕРЖИВАЕМЫЕ СТАНДАРТЫ

- VHDL 1076-87/93
- Verilog 1364-95/2001 (частично)
- VITAL 1076.4-95/2000
- SDF 1.0, 2.0 и 3.0

## Интерфейсы

- Tcl/Tk
- PERL
- SWIFT
- PLI/VPI
- VHPI
- CHPI



## ФУНКЦИОНАЛЬНЫЕ ХАРАКТЕРИСТИКИ

<i>Управление проектом</i>	<i>Active-HDL PE</i>	<i>Active-HDL EE</i>
Мультипроектная рабочая среда	X	X
Управление маршрутом проектирования ПЛИС	X	X
Интерфейс с системе синтеза с языка C (Celoxica – Handel-C)	X	X
Интерфейс к системам управления версиями проекта	X	X

<i>Создание проекта</i>		
Редактор аппаратных спецификаций (VHDL, Verilog, C/C++, Handel-C)	X	X
Редактор автоматов конечных состояний (FSM)	X	X
Редактор блок-диаграмм (BDE)	X	X
Иерархическая визуализация с поддержкой конфигураций	X	X
Ассистент по языкам (VHDL, Verilog, C/C++, Handel-C)	X	X
Импорт/экспорт схемных символов	X	X
Экспорт в HTML	X	X
Генератор компонентов/IP-блоков	X	X
Конвертор кода в графику (BDE и FSM)/EDIF в графику	X	X

<i>Прогрессивная отладка</i>		
Объекты следования	X	X
Отладчик C-кода	X	X
Трассировка всех сигналов	X	X
Отладка после моделирования	X	X
Просмотр состояний памяти	X	X
Тестовое покрытие (по строкам кода/переключениям)	Опция	X
Проводник сигналов	Опция	X
Прогрессивный поток данных	Только EE	X
Профилирование проекта	Только EE	X
X-трассировка	Только EE	X

<i>Моделирование</i>		
VHDL, Verilog, нейтральное к языкам или смешанное	X	X
Моделирование списков цепей EDIF	X	X
Генерация тестов	X	X
Моделирование в фоновом режиме/регрессивное	X	X
Редактор временных диаграмм	X	X
Сравнение временных диаграмм	X	X
Управление заданиями (серверные системы)	Опция	Опция

<i>Внешние интерфейсы</i>		
Synopsys – интерфейс SWIFT (SMART модели)	Опция	X
Novas – интерфейс с Debussy FSDB	Опция	X
Denali – интерфейс к моделям памяти	Опция	X
SynartiCAD – интерфейс с генератором тестов	Опция	X

<i>Совместное моделирование</i>		
Mathworks – верификация систем цифровой обработки сигналов	X	X
Celoxica - интерфейс с Handel C	Опция	Опция

**ООО "ЕвроИнТех"**  
 109387, Россия, Москва,  
 ул. Летняя, д. 6  
 Телефон/факс: +7-(495)-749-45-78  
 E-mail: sales@eurointech.ru  
 http://www.eurointech.ru