

Новые разработки для пакета SystemView

Рассматривается новая версия программного пакета SystemView американской компании Elanix. Пакет предназначен для моделирования радиотехнических систем на уровне функциональных блоков. Основу пакета составляет базовый модуль SystemView Professional Edition, к которому подключаются различные специализированные библиотеки, позволяющие моделировать практически любые блоки. Имеется возможность создавать собственные пользовательские модели. Используется иерархический подход к построению систем на основе метасистем.

В начале 2004 г. американская компания Elanix (www.elanix.com) выпустила новую версию своего программного пакета SystemView, предназначенного для моделирования радиотехнических систем на уровне функциональных блоков. Новая версия содержит инструментарий для перехода с системного уровня к синтезируемому HDL-коду, а также включает средства, необходимые для проектирования и моделирования устройств беспроводных сетей связи. Большинство новых функций было разработано совместно с английской компанией EnTegra (www.entegra.co.uk), специализирующейся на разработке цифровых сигнальных процессоров и инструментария для этих целей, а также по сути являющейся представителем компании Elanix в Европе. Ранее эта компания создала библиотеку Adaptive Filter Library, предназначенную для проектирования цифровых адаптивных фильтров (рис. 1).

Основу пакета, как и раньше, составляет базовый модуль SystemView Professional Edition, к которому подключаются различные специализированные библиотеки, обеспечивающие проектировщиков моделями почти всех необходимых функциональных блоков. В случае, если уже имеющаяся модель по каким-либо соображениям не устраивает разработчика, у него есть возможность создать собственную пользовательскую модель, опирающуюся на оптимальные с его точки зрения математические выкладки.

Системы могут иметь сколь угодно сложную иерархическую структуру, реализованную на основе метасистем (подсистем). Ряд метасистем может быть скомпилирован в пользовательские функциональные блоки или даже целые библиотеки.

Совместно с базовым модулем поставляется набор дополнительных библиотек:

- Communications Library — содержит различные модели узлов телекоммуникационного оборудования (кодеров и декодеров, модуляторов и демодуляторов), а также модели канала с учётом многолучевости и замираний;
- DSP Library — содержит всё необхо-

димо для моделирования цифровых сигнальных процессоров (с плавающей точкой и бит-истинных). Большинство блоков имеет прототипы для реализации на программируемой логике;

- RF/Analog Library — включает большое число моделей различных радиотехнических устройств, используемых для моделирования трактов аналоговой обработки сигналов;
- Logic Library — содержит всё необходимое для построения и отладки цифровых логических схем;
- CDMA/PCS Library — включает в себя модели устройств, используемых в современных системах персональной связи, в том числе и с кодовым разделением каналов (рис. 2);
- Digital Video Broadcasting (DVB) Library — объединяет модели функциональных блоков, используемых в аппаратуре цифрового телевизионного вещания;
- Turbo Code — включает в себя функциональные блоки для построения и отладки систем, использующих турбокоды;
- Wireless Network Library — объединяет модели устройств, выполненных

согласно стандартам IEEE 802.11a,b,g, Bluetooth и Ultra Wide-Band (UWB), необходимых для построения беспроводных сетей передачи данных;

- Adaptive Filter Library — содержит модели устройств, используемых при построении адаптивных фильтров.

Для пользователей также доступны две дополнительные опции:

- APG Acceleration Option — обеспечивает прямой доступ внешним приложениям к разработанным в SystemView моделям высокого уровня благодаря возможности формирования из них исполняемого кода;
- M-Link Option — обеспечивает горячую связь между SystemView и пакетом MATLAB, что даёт возможность использовать в проекте собственные пользовательские блоки или библиотеки третьих фирм, разработанных специально для MATLAB.

Для разработчиков цифровых сигнальных процессоров и устройств на основе FPGA имеются следующие специализированные продукты:

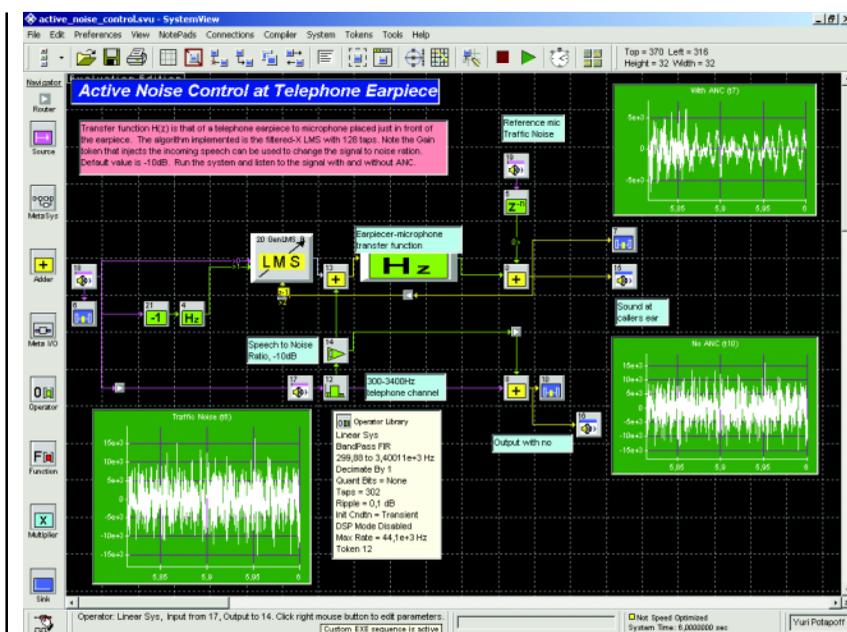


Рисунок 1 Моделирование адаптивной системы подавления шумов

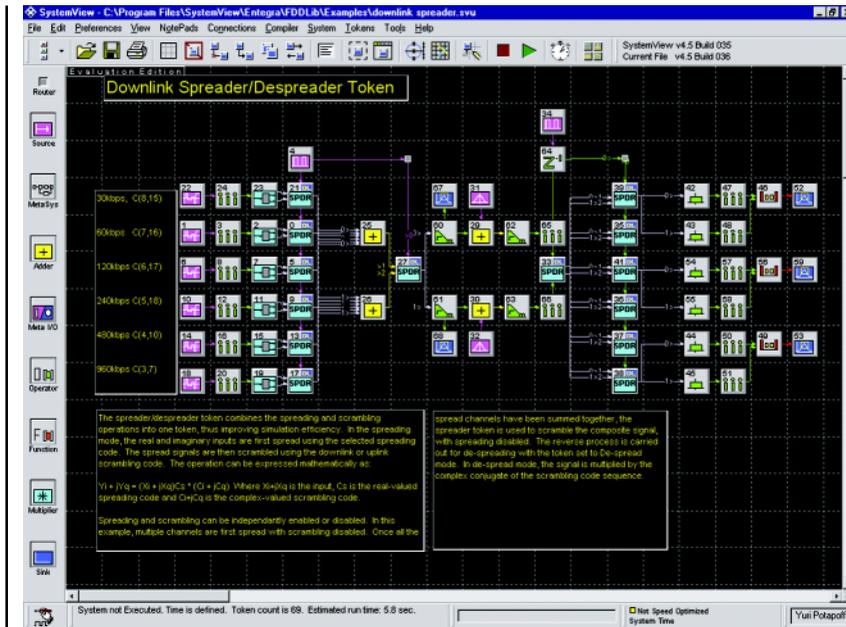


Рисунок 2 Моделирование модуля расширения спектра системы CDM

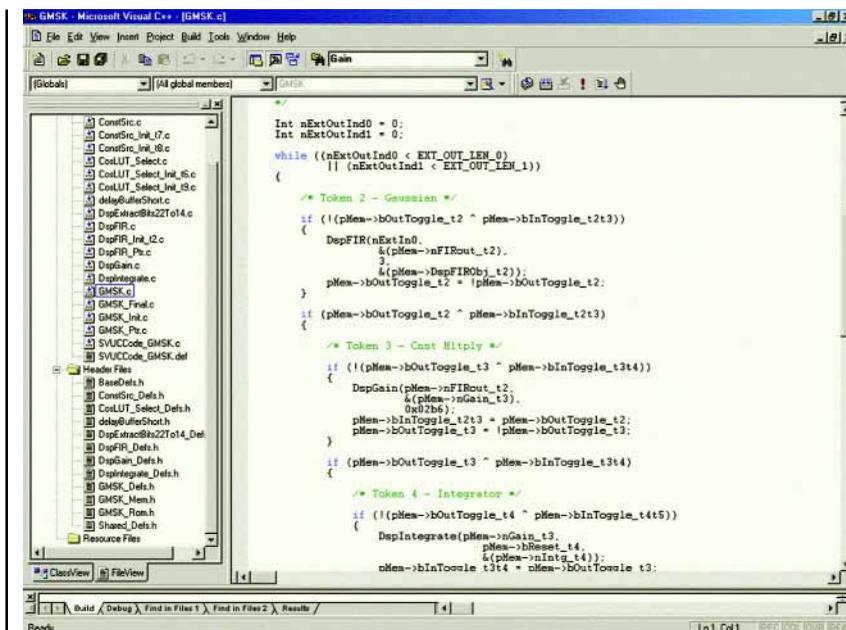


Рисунок 3 С-код, описывающий работу моделируемой системы

- ANSI C Code Generator — генератор ANSI C-кода для отдельных блоков, групп блоков, метасистем и законченных проектов (рис. 3). Полученный код полностью подготовлен к компиляции для платформ TI C54x или C6x DSPs и 32-разрядных Windows;
- FPGA Architect — пакет разработки DSP-устройств на базе микросхем Xilinx XC4000/Spartan, обеспечивающий передачу функциональных эквивалентов ядер Xilinx DSP LogiCORE из отлаженного в SystemView проекта в программное обеспечение Xilinx Foundation и Alliance для дальнейшей реализации;
- Real Time DSP Architect — специализированный пакет проектирования DSP-устройств с конечной длиной слова на базе процессоров TMS320C54x и TMS320C6x, обеспечивающий интерфейс между средой проектирования SystemView и Code Composer Studio;
- Code Composer Studio — интегрированный пакет проектирования DSP-устройств на базе семейства C5x/C6x, включающий C-компилятор, средства анализа в режиме реального времени и визуализации данных компании Texas Instruments.

Помимо описанных выше опций, в версии SystemView v6 пользователям предлагаются два новых набора программ Hardware Design Studio и 3G Design Studio.

HARDWARE DESIGN STUDIO

Система Hardware Design Studio не является автономным приложением, а представляет собой специализированную библиотеку, предназначенную для использования в рамках среды проектирования SystemView компании Elanix версии v5.0 build 071 и выше.

Продукт HDL Design Studio представляет собой новый инструмент для пакета SystemView, который даёт возможность разработчикам цифровых сигнальных процессоров преобразовать смоделированную систему в синтезируемый VHDL- или Verilog-код. Но это только малая часть того, что может предложить продукт HDL Design Studio разработчикам ЦСП (DSP) и СБИС (VLSI).

Основные особенности:

- автоматическая генерация VHDL или Verilog RTL-кода для разработанных в SystemView систем цифровой обработки сигналов;
- отсутствие привязки к микросхемам конкретного производителя;
- оптимизированный генератор параллельных FIR-фильтров;
- поддержка в одном проекте различных частот дискретизации и петель обратной связи;
- поддержка управляемого событиями потока данных;
- автоматическая генерация тестовых векторов;
- поддержка макроскриптов для управления внешними программами компиляции и оптимизации третьих фирм.

В большинстве современных систем-на-кристалле (SoC) схемы цифровой обработки сигналов являются лишь составной частью сверхбольших интегральных схем, кроме того включающих периферию, микропроцессоры, дискретную логику, память и т.д. Именно поэтому интеграция является основной концепцией продукта HDL Design Studio, который был создан не просто как вспомогательный инструмент для средств проектирования DSP или VLSI. Он стирает грань между этими двумя технологиями и резко увеличивает производительность.

В современной индустрии СБИС для успешного построения проекта вовсе не достаточно просто получить HDL-описание из ограниченного набора DSP-бло-

ков с фиксированными тактовыми частотами. На практике инструментарий генерации HDL-кода должен поддерживать в рамках одного проекта несколько разных частот дискретизации (тактирования), петли обратной связи и управление событиями. Не менее важна поддержка проектов, имеющих сложную иерархическую структуру или включающих так называемые "чёрные ящики" (ранее разработанные элементы). В продукте HDL Design Studio поддержка систем подобного уровня сложности принята как стандарт.

HDL Design Studio не ориентируется на микросхемы конкретных производителей и их специализированные программные средства. Производимый им HDL-код подойдёт для уже имеющихся у пользователя программных средств проектирования ASIC и FPGA (ModelSim (PE и SE), Aldec Riviera, Leonardo Spectrum, FPGA Advantage, Xilinx XST, Xilinx CoreGen). Продукт открывает путь на рынок для IP-поставщиков ядер, не требующих вообще или требующих минимальной технической поддержки. Он обеспечивает пользователю доступ к широким наборам IP-ядер разных разработчиков и позволяет отказаться от монопольной привязки к конкретному поставщику. При этом поддержка конечных программных средств, таких как core-генераторы, обеспечивается посредством специальных сборочных файлов (make-файлов) и управляющих технологических скриптов.

Многие проекты цифровых сигнальных процессоров включают в себя фильтры. Специальная опция Optimised Parallel FIR filter Generator даёт возможность разработчикам создавать VHDL-код для быстрых, компактных, архитектурно-независимых реализаций фильтров с конечной импульсной характеристикой (FIR-фильтров) непосредственно из среды проектирования SystemView за считанные секунды.

Продукт HDL Design Studio включает специальную библиотеку исходных Verilog и VHDL (IEEE 1076-1993, 1164) кодов для большинства элементов библиотеки SystemView DSP Library.

3G DESIGN STUDIO

Система 3G Design Studio представляет собой специализированную библиотеку 3GPP (3G) FDD Simulation Library, реализованную компанией EnTegra для работы в составе пакета SystemView компании Elanix, которая позволяет смешанным (ВЧ и СВЧ, ASIC/FPGA, DSP и системным) командам разработчиков выполнять все этапы проектирования систем подвижной связи третьего поколения от концептуальной проработки, моделиро-

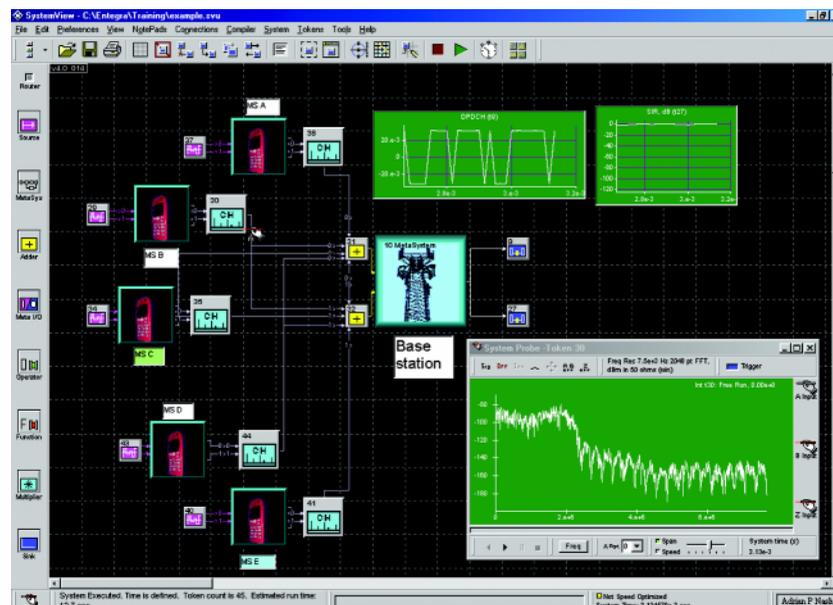


Рисунок 4 Моделирование работы базовой станции третьего поколения

вания и отладки опытных образцов до конечной реализации системы-на-кристалле (System-on-Chip).

Библиотека поддерживает спецификацию 3GPP release 5, включая асимметричные системы высокоскоростного доступа (High Speed Downlink Packet Access, HSDPA). Вспомогательная библиотека High-Speed InnSys обеспечивает обмен данными с измерительным оборудованием во время моделирования в режиме реального времени непосредственно в рамках среды SystemView.

Обычные библиотеки для моделирования 3G-подсистем используют сложные иерархические модели, построенные из базовых логических ячеек. Полученные результаты трудны для понимания и могут быть правильно интерпретированы лишь узкоспециализированными подразделениями групп разработчиков беспроводных систем связи, занимающимися, например, системными вопросами или цифровой обработкой сигналов. Таким образом, каждая отдельная часть проекта обрабатывается собственными программными средствами, что существенно ограничивает возможности обмена информацией внутри групп.

Компания EnTegra предлагает другой подход. Сейчас библиотека 3GPP предоставляет полный набор базовых блоков, таких как генераторы кодов расширения, скремблеры, RAKE-приёмники, интерливеры, турбодекодеры и так далее (рис. 4). Каждый уровень абстракции имеет собственный соответствующий ему пользовательский интерфейс, дающий возможность инженерам обращаться к моделям и менять их параметры, не вдаваясь в подробности их реализации. В

итоге получается существенное упрощение процесса проектирования без потери точности и гибкости.

Библиотека поддерживает следующие спецификации: TS25.211, TS25.212, TS25.213, TS25.214, TS25.215, TS25.141, TS25.121, TS25.101, TS25.104. В неё включены модели восходящих (uplink) физических каналов: DPDCH, DPCCH, PRACH, PCPCH, а также модели нисходящих (downlink) физических каналов: P-CCPCH/SCH, S-CCPCH, P-CPICH, S-CPICH, DPCH, PICH, AICH, DSCH, HSDPA (Release 5), Orthogonal Channel Noise Simulation (OCNS).

Подробнее о пакете SystemView компании Elanix и разработках компании EnTegra можно узнать по адресу www.elanix.ru. Для тестирования доступны полнофункциональные демоверсии продуктов. Информацию о ценах можно получить в офисе компании ЭлектРейд-М по телефону (095) 974-1480 или по адресу info@eltm.ru.