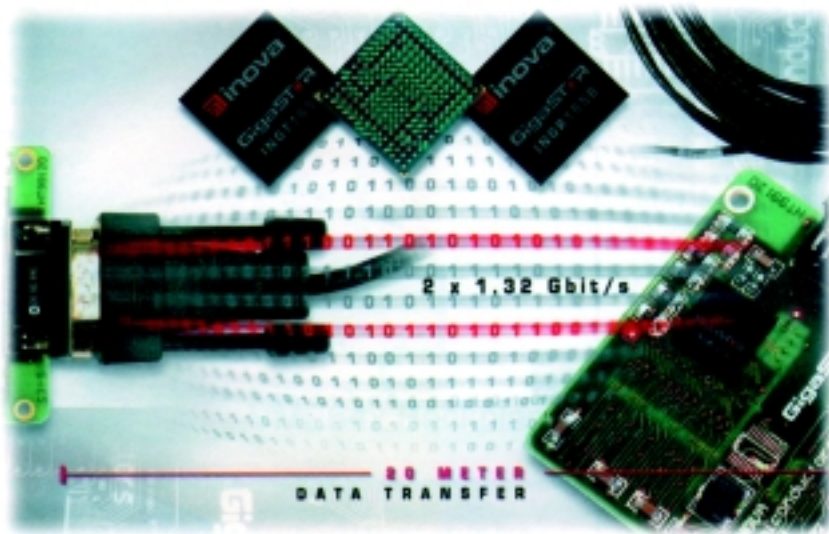


# Средства САПР для анализа целостности сигналов на быстродействующих платах



**ТЕХНОЛОГИИ ПЕРЕДАЧИ ВЫСОКОСКОРОСТНЫХ СИГНАЛОВ, ПРИМЕНЯЕМЫЕ В СОВРЕМЕННОМ СЕТЕВОМ И ТЕЛЕКОММУНИКАЦИОННОМ ОБОРУДОВАНИИ, ПОВЫШАЮТ СЛОЖНОСТЬ ПРОЕКТИРОВАНИЯ НА ПОРЯДКИ. ИНЖЕНЕРЫ, ПРОЕКТИРУЮЩИЕ МНОГОСЛОЙНЫЕ ПЕЧАТНЫЕ ПЛАТЫ ДЛЯ СОВРЕМЕННЫХ ПЕРСОНАЛЬНЫХ КОМПЬЮТЕРОВ, РАБОТАЮТ С ШИНАМИ, ИМЕЮЩИМИ ПРОПУСКНУЮ СПОСОБНОСТЬ БОЛЕЕ 10 Гбит/с, И ЗАКАЗНЫМИ НАБОРАМИ МИКРОСХЕМ, ИСПОЛЬЗУЮЩИХ НИЗКОВОЛЬТНУЮ ДИФФЕРЕНЦИАЛЬНУЮ ПЕРЕДАЧУ СИГНАЛОВ. СОБРАЖЕНИЯ РЕНТАБЕЛЬНОСТИ НАКЛАДЫВАЮТ НА ПРОЕКТЫ ДОПОЛНИТЕЛЬНЫЕ УСЛОВИЯ.**

Проектируемое оборудование требует наличия минимального числа ошибок или полного их отсутствия. Другими словами, проектирование методом проб и ошибок больше неприменимо. Решение проблемы заключается в правильной организации разработки и решении этих вопросов на ранних этапах проектирования. При проектировании высокоскоростного электронного оборудования стало фактически обязательным обеспечение неискажённой передачи сигналов, а значит, ни одна печатная плата не может быть изготовлена без использования специализированного программного обеспечения, облегчающего анализ целостности сигналов, предшествующий трассировке платы.

Если такой анализ откладывается до завершающих этапов проектирования, а основные надежды возлагаются на последующую доработку конструкции, то рентабельность производства резко снижается и увеличивается длительность цикла изготовления. С повышением качества предтопологического анализа растёт вероятность создания корректной разработки за более короткий период времени. И разумеется, все проектировщики хотят получить хороший результат с первого раза без циклических этапов доработок изделий.

Рассогласования импедансов и высокие скорости переключения логических сигналов, при времени нарастания и спада в единицы пикосекунд, являются главными причинами проблем целостности сигналов, заключающихся, в первую очередь, в возникновении нежелательных выбросов и паразитных колебаний, а также взаимных наводок и электромагнитных помех.

Когда сигнал распространяется по проводнику печатной платы и достигает вывода приёмника сигнала, любое рассогласование между импедансами проводника и приёмника вызывает отражение сигнала обратно к выводу источника. В случае перехода от низкого логического уровня к высокому, напряжение отражённого сигнала добавляется к напряжению полезного.

Если напряжение источника сигнала нарастает медленно, по сравнению со временем, необходимым для его распространения и отражения, добавочное напряжение только ускоряет перепад напряжения в проводнике. Но в случае очень быстрого переключения источника сигнала, если время переключения становится соизмеримо с временем распространения по проводнику платы, это добавочное напряжение станет причиной выброса и паразитных колебаний ("звона"), поскольку источник сигнала уже переключился в состояние с высоким логическим состоянием.

В цифровых системах, где значения пороговых напряжений высокого и низкого логических уровней очень близки (часто разность составляет менее 1 В), паразитные колебания могут привести к случайным превышениям сигнала пороговых значений и вызвать ложные срабатывания логических схем. Выбросы напряжения, особенно превышающие определённые изготовителями компонентов допустимые значения, в свою очередь, могут вызвать отказы компонентов, что в итоге снизит надёжность конечного изделия.

Высокие скорости переключения также вызывают перекрёстные помехи между проводниками платы. Это происходит из-за наличия зависимости между уровнем взаимных наводок и скоростью изменения как напряжения, так и тока сигнала в проводнике. В случае медленного переключения от низкого к высокому логическому уровню, когда напряжение и ток нарастают медленно, проблемы взаимных наводок почти не проявляются. Но с ростом скорости ком-

мутации всё больший ток распространяется по проводнику, а напряжение изменяется всё быстрее. А значит, растёт уровень сигналов, наводимых в соседних проводниках, определяемый ещё и конфигурацией проводников на плате, а также путей распространения обратного тока в общий провод.

Эти проблемы становятся ещё более актуальными, когда речь идёт о высокоскоростных технологиях передачи данных, например, при использовании низковольтных дифференциальных сигналов (LVDS). В этом случае факт изменения логического уровня от низкого к высокому и обратно определяется по разности напряжений между двумя проводниками. Размах этого дифференциального напряжения очень мал (порядка 0,5 В), что делает такие сигналы намного более критичными к выбросам, паразитным колебаниям и перекрёстным помехам. Кроме того, поскольку при использовании дифференциальных сигналов для передачи одного бита данных необходимо наличие на плате двух проводников, перекрёстные помехи могут возрасти вдвое, пропорционально увеличению суммарного числа проводников. Высокая плотность трассировки, а также наличие длинных параллельных проводников резко повышают эффекты взаимных наводок.

Во избежание всех этих проблем, вопросы использования тех или иных компонентов и их физических свойств должны рассматриваться уже на этапе проектирования схемы, а не во время формирования топологии или трассировки, как это обычно делается. На этом этапе решение проблем неискажённой передачи сигнала происходит легче и дешевле.

Другим важным изменением становится замена общих эмпирических правил конструирования высокоскоростных плат на чёткие конструктивные ограничения. Допустим, при трассировке печатной платы мы будем отслеживать минимальное расстояние между проводниками и их максимальную длину, а также массу иных правил "общего характера". В результате может оказаться, что на процедуру трассировки наложены излишние ограничения, или трассировка вообще окажется незавершённой. Может случиться также, что проектировщикам придётся добавлять дополнительные сигнальные слои на печатную плату, а значит, увеличивать её себестоимость.

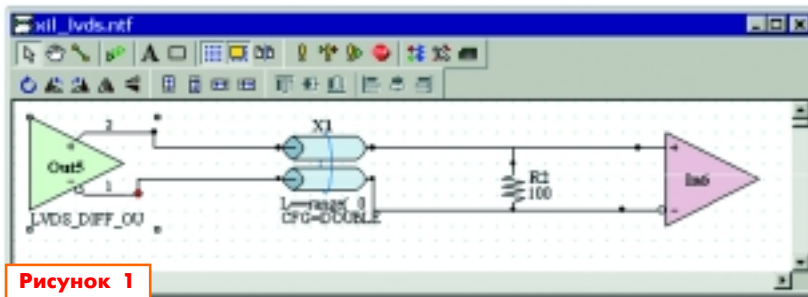


Рисунок 1

**Предтопологический анализ распространения сигналов в проводниках позволяет оптимизировать длины проводников, расстояние между ними, а также местоположение согласующих элементов**

Выходом из создавшейся ситуации может служить предтопологический анализ целостности сигналов с помощью специального программного обеспечения. Здесь возможно определение критических длин проводников, причём это ограничение может быть значительно ослаблено благодаря использованию согласованных нагрузок. Далее, здесь можно определить оптимальные расстояния между проводниками, что позволит снизить вредное воздействие перекрёстных помех. Фактически, предтопологический анализ является наиболее эффективным однократным этапом проектирования, дающим разработчику печатной платы хорошие шансы обеспечить неискажённую передачу сигналов.

Компания INNOVEDA предлагает для целей предтопологического анализа продукт ePlanner, который полностью

интегрируется в среду проектирования. Здесь имеется возможность моделировать схему по методу "что, если", выявлять наиболее критичные места схемы и оптимизировать её, например, нагрузочные способности отдельных элементов и согласование или конструкцию устройства, например, стек слоёв или топологию отдельных цепей. Для моделирования проектов модуль ePlanner использует вычислительное ядро другого более мощного продукта ХТК компании INNOVEDA (рис. 1). Аналогичные средства анализа имеют и другие компании.

После проведения предтопологического анализа целостности сигналов и последующей разработки топологии платы с использованием его результатов, посттопологический анализ платы перестает быть итерационным процессом с компоновкой и трасси-

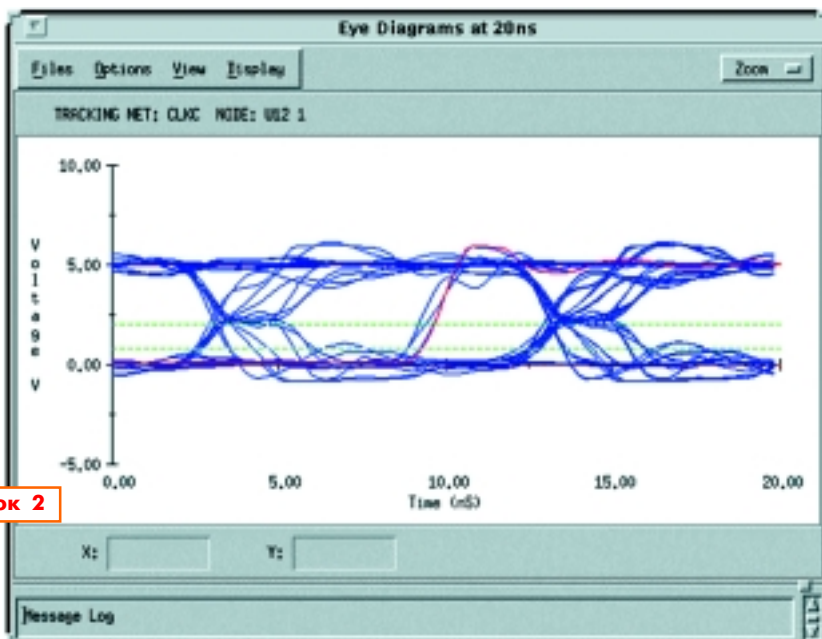


Рисунок 2

**Использование глаз-диаграмм для анализа межсимвольных искажений на быстродействующих платах**

ровкой заново, а становится средством для заключительного утверждения конструкции. Разработчик может убедиться в работоспособности платы перед передачей её на производство. Проверке подвергаются такие параметры, как согласование временных интервалов, целостность сигналов, технологичность и электромагнитная совместимость.

Программное обеспечение для топологического анализа, помимо всего прочего, должно позволять моделировать: длинные линии с потерями, поведенческие модели I/O буферов, сложные циклы работы устройств и многоплатные конструкции. Кроме того, здесь необходима поддержка алгоритма SPICE, что даёт возможность использовать для моделирования отдельных устройств их стандартные SPICE-модели. Тем не менее, наиболее критическим фактором остаётся скорость моделирования, что позволяет максимально сократить задержки между окончанием проектирования платы и запуском её в производство, а также возможность полного анализа платы на наличие ошибок.

Важным приёмом анализа систем с высокими скоростями передачи данных является анализ отклонений в передаче потоковых сигналов, как следствия межсимвольных искажений. Как правило, влияние межсимвольных искажений ранее исследовалось только в лабораторных условиях с использованием быстродействующего измерительного оборудования. Сейчас глаз-диаграммы, позволяющие оценить целостность сигналов в проводниках платы, могут быть получены с помощью программных средств моделирования, использующих псевдослучайные последовательности данных, например, пакета ХТК.

В процессе анализа моделируется циклическая посылка большого числа битов информации, воспроизводящая условия практического применения платы. Рассчитанные формы сигнала для каждого цикла накладываются друг на друга, что даёт возможность оценить задержки фронтов, нестабильности логических уровней и максимальную свободную от ошибок скорость передачи (рис. 2). Отметим, что анализ одного цикла не позволяет получить результатов подобного типа.